Problem zaleta regulatora i izvedbe funkcije za njegovo sprečavanje

Prohaska, Timotej

Undergraduate thesis / Završni rad

2017

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

Permanent link / Trajna poveznica: https://urn.nsk.hr/urn:nbn:hr:200:091624

Rights / Prava: In copyright / Zaštićeno autorskim pravom.

Download date / Datum preuzimanja: **2024-03-29**

Repository / Repozitorij:

Faculty of Electrical Engineering, Computer Science and Information Technology Osijek

zir.nsk.hr

Image not found or type unknown

SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU
ELEKTROTEHNIČKI FAKULTET

Stručni studij

PROBLEM ZALETA REGULATORA I IZVEDBE FUNKCIJE ZA NJEGOVO SPREČAVANJE

Završni rad

Timotej Prohaska

Osijek, 2017.

SADRŽAJ

1. UVOD 1

1.1. Zadatak završnog rada 1

2. PROBLEM ZALETA REGULATORA 2

2.1. PI regulator 3

2.2. Efekt zaleta i načini za njegovo sprječavanje 4

2.2.1. Povratno integriranje 7

2.2.2. Uvjetno integriranje 8

3. IZGRADNJA SIMULACIJSKOG MODELA REGULACIJSKOG KRUGA 10

3.1. Analiza efekta zaleta u regulacijskom krugu sa PT_2 procesom 11

3.2. Analiza efekta zaleta u regulacijskom krugu sa IT_1 procesom 15

4. REZULTATI PROVEDENIH SIMULACIJA 19

4.1. Regulacijski krug s PT_2 procesom 19

4.2. Vladanje regulacijskog kruga s IT_1 procesom 22

5. ZAKLJUČAK 25

LITERATURA 26

SAŽETAK 27

ABSTRACT 28

ŽIVOTOPIS 29

PRILOZI 30

FERIT
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I INFORMACIJSKIH TEHNOLOGIJA OSIJEK

Obrazac Z1S: Obrazac za imenovanje Povjerenstva za obranu završnog rada na preddiplomskom stručnom studiju

Osijek, 27.02.2017.

Odboru za završne i diplomske ispite

Imenovanje Povjerenstva za obranu završnog rada na preddiplomskom stručnom studiju

Ime i prezime studenta:	Timotej Prohaska
Studij, smjer:	Preddiplomski stručni studij Elektrotehnika, smjer Automatika
Mat. br. studenta, godina upisa:	A 4111, 04.10.2016.
OIB studenta:	45094873156
Mentor:	Izv.prof.dr.sc. Dražen Slišković
Sumentor:	Doc.dr.sc. Ratko Grbić
Sumentor iz tvrtke:	
Predsjednik Povjerenstva:	Izv.prof.dr.sc. Dražen Slišković
Član Povjerenstva:	Doc.dr.sc. Ratko Grbić
Naslov završnog rada:	Problem zaleta regulatora i izvedbe funkcije za njegovo sprečavanje
Znanstvena grana rada:	Automatizacija i robotika (zn. polje elektrotehnika)
Zadatak završnog rada	Pojava zaleta regulatora (wind-up) je vrlo nepoželjan efekt u regulacijskim krugovima pa se za praktičnu primjenu regulator mora nadopuniti funkcijom za sprječavanje ove pojave. Zadatak je za nekoliko različitih regulacijskih krugova provesti analizu zbivanja u regulacijskom krugu od trenutka nastupanja zaleta regulatora do završetka ove pojave, za slučajeve kada regulator ne posjeduje funkciju za sprječavanje ove pojave i kada ju posjeduje, te usporediti postignutu kakvoću regulacije. Sprječavanje zaleta regulatora realizirati na dva osnovna načina. Analizu provesti na temelju simulacije sustava upravljanja pomoću programskog paketa Matlab i raspoloživog DSP-a.
Prijedlog ocjene pismenog dijela ispita (završnog rada):	Vrlo dobar (4)
Kratko obrazloženje ocjene prema Kriterijima za ocjenjivanje završnih i diplomskih radova:	Primjena znanja stečenih na fakultetu: 2 bod/boda Postignuti rezultati u odnosu na složenost zadatka: 2 bod/boda Jasnoća pismenog izražavanja: 2 bod/boda Razina samostalnosti: 2 razina
Datum prijedloga ocjene mentora:	27.02.2017.

Potpis mentora za predaju konačne verzije rada u Studentsku službu pri završetku studija:	Potpis:
	Datum:

FERIT
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I INFORMACIJSKIH TEHNOLOGIJA **OSIJEK**

IZJAVA O ORIGINALNOSTI RADA

Osijek, 31.05.2017.

Ime i prezime studenta:	Timotej Prohaska
Studij:	Preddiplomski stručni studij Elektrotehnika, smjer Automatika
Mat. br. studenta, godina upisa:	A 4111, 04.10.2016.
Ephorus podudaranje [%]:	0

Ovom izjavom izjavljujem da je rad pod nazivom**: Problem zaleta regulatora i izvedbe funkcije za njegovo sprečavanje**

izrađen pod vodstvom mentora Izv.prof.dr.sc. Dražen Slišković

i sumentora Doc.dr.sc. Ratko Grbić

moj vlastiti rad i prema mom najboljem znanju ne sadrži prethodno objavljene ili neobjavljene pisane materijale drugih osoba, osim onih koji su izričito priznati navođenjem literature i drugih izvora informacija.
Izjavljujem da je intelektualni sadržaj navedenog rada proizvod mog vlastitog rada, osim u onom dijelu za koji mi je bila potrebna pomoć mentora, sumentora i drugih osoba, a što je izričito navedeno u radu.

Potpis studenta:

1. UVOD

Osnovni dio sustava za automatizaciju proizvodnih procesa je regulacijski krug, a osnova svakog regulacijskog kruga je regulator. Uloga regulatora je da obrađuje regulacijsko odstupanje po zadanom algoritmu. Regulator se projektira sa svrhom da se postigne željena kakvoća regulacije, no međutim, različiti efekti mogu narušiti kakvoću regulacije, stoga treba voditi računa o tome. [1]

Jedan od vrlo nepoželjnih efekata u sustavima upravljanja je efekt zaleta (engl. *Windup effect),* koji nastupa u regulacijskim krugovima koji imaju regulator s integralnim djelovanjem, a neki od elemenata (najčešće izvršni član) regulacijskog kruga je ušao u zasićenje. Prilikom nastupanja efekta zaleta integralni član nastavlja integrirati regulacijsko odstupanje koje se u zasićenju sporo mijenja pa izlaz regulatora može poprimiti vrlo veliku vrijednost i time znantno narušiti kakvoću regulacije. Ipak, postoje postupci koji u određenoj mjeri umanjuju posljedice ovakve neželjene pojave.

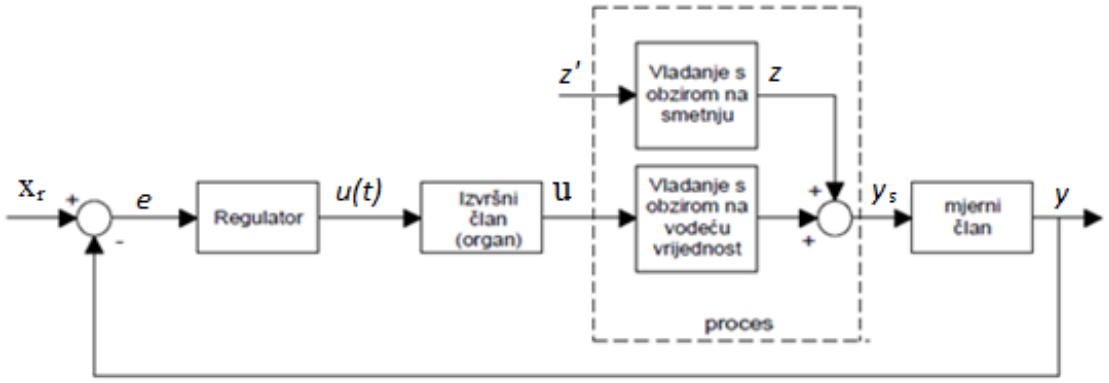
U drugom poglavlju je opisan regulator i njegova uloga u regulacijskom krugu te je dano teorijsko objašnjenje efekta zaleta, odnosno kada i gdje se javlja i koji problemi dolaze s njegovom pojavom. U trećem poglavlju se nalazi simulacijski dio rješenja zadatka završnog rada gdje su prikazane blok sheme za nekoliko različitih regulacijskih krugova koje su izrađene u programskom paketu Matlab. Četvrto poglavlje sadrži grafičke rezultate i numeričke pokazatelje te komentare na dobivene rezultate i usporedbu kakvoću regulacije nakon primjene metode za sprječavanje efekta zaleta, a kratak osvrt na cijeli rad nalazi se u zaključku.

1.1. Zadatak završnog rada

Pojava zaleta regulatora (*wind-up*) je vrlo nepoželjan efekt u regulacijskim krugovima pa se za praktičnu primjenu regulator mora nadopuniti funkcijom za sprječavanje ove pojave. Zadatak je za nekoliko različitih regulacijskih krugova provesti analizu zbivanja u regulacijskom krugu od trenutka nastupanja zaleta regulatora do završetka ove pojave, za slučajeve kada regulator ne posjeduje funkciju za sprječavanje ove pojave i kada ju posjeduje, te usporediti postignutu kakvoću regulacije. Sprječavanje zaleta regulatora realizirati na dva osnovna načina. Analizu provesti na temelju simulacije sustava upravljanja pomoću programskog paketa Matlab.

2. PROBLEM ZALETA REGULATORA

Uloga regulatora u regulacijskom krugu je da tvori upravljačku veličinu na temelju regulacijskog odstupanja i njegovog regulacijskog algoritma $G_R(s)$. Upravljačka veličina pak osigurava procesu kontrolirani dotok energije preko izvršnog člana. Parametri i struktura regulatora trebaju proizaći iz strukture i parametara procesa. S obzirom da se regulatorom kompenzira dinamika procesa, kako bi regulacijski krug postigao željeno vladanje, regulator se još naziva i kompenzacijskim, odnosno korekcijskim članom. Danas su u praksi u širokoj upotrebi regulatori koji se zasnivaju na proporcionalnom (P), integralnom (I), i derivacijskom (D) djelovanju. Kombinacijom prethodna tri djelovanja dobivaju se razne izvedbe regulatora: PI, PD i PID. Budući da se u praksi PI regulator najviše koristi u radu je uzet za primjer pa se efekt zaleta prikazuje na PI tipu regulatora koji je opisan u idućem potpoglavlju, a teorijsko objašnjenje efekta zaleta i načini za njegovo sprječavanje se nalazi u potpoglavlju 2.2. Na slici 2.1. je dan primjer strukture regulacijskog kruga.



Sl. 2.1. *Tipična struktura regulacijskog kruga.*

.

Slika 2.1. prikazuje tipičnu strukturu regulacijskog kruga u kojem su veličine:

x_r – referentna veličina,

e – regulacijsko odstupanje (razlika između referentne i izlazne veličine),

$u(t)$ – upravljačka veličina na izlazu regulatora,

u_s – vrijednost na izlazu izvršnog člana (manipulacijska veličina),

z i z' – signali smetnje,

y_s – regulirana veličina,

y – izlaz mjernog člana,

2.1. PI regulator

Prijenosna funkcija PI regulatora ima oblik:

$$G_R(s) = K_R\left(1+\frac{1}{T_{IS}}\right) = K_R\frac{1+sTi}{sTi}\,. \qquad (2\text{-}1)$$

PI regulator ima dva parametra koja se mogu podešavati: K_R – pojačanje i Ti – integralna vremenska konstanta. Prisustvom proporcionalne i integralne konstante u regulatoru dobivaju se željene performanse regulacijskog kruga kao što su: brzina,prigušenost i točnost. Ovakav tip regulatora daje odziv bez pojave položajne statičke pogreške [11]. Ako pak regulacijski sustav zahtijeva veliku brzinu odziva, tada PI regulator ne može ispuniti takve zahtjeve. Na slici 2.2. prikazana je blokovska shema PI regulatora gdje je:

K_P – pojačanje proporcionalnog dijela regulatora,
K_R – pojačanje regulatora,
K_I – koeficijent integralnog djelovanja,
T_I – integralna vremenska konstanta,

i vrijedi:

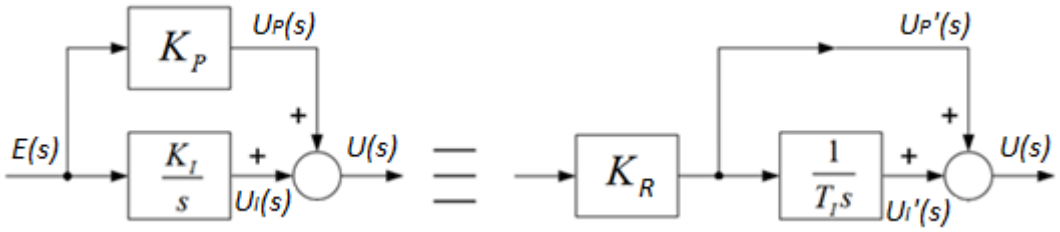
$$U(s) = U_P(s) + U_I(s)\,, \qquad (2\text{-}2)$$

$$U(s) = U_P'(s) + U_I'(s)\,. \qquad (2\text{-}3)$$

Integralna vremenska konstanta ima oblik:

$$T_I = \frac{K_P}{K_I}\,. \qquad (2\text{-}4)$$

Parametri regulatora K_R i T_I se mogu podešavati u određenom području vrijednosti; to su podesivi parametri regulatora, a odabirom podesivih parametara regulatora, može se regulator prilagoditi vladanju procesa tako da se postigne najpovoljnije vladanje regulacijskog kruga [12].



Sl. 2.2. *Blokovska shema PI regulatora.*

Proporcionalno djelovanje, odnosno P dio regulatora, predstavlja najjednostavniji tip regulatora čija se izlazna veličina opisuje jednadžbom:

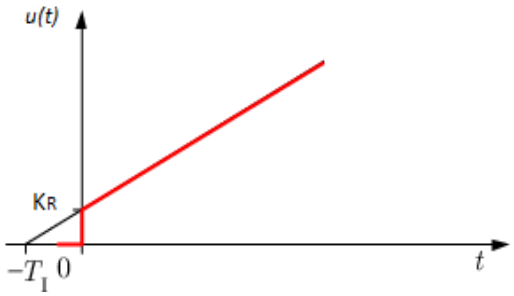
$$u_P(t) = K_P * e(t), \tag{2-5}$$

odnosno:

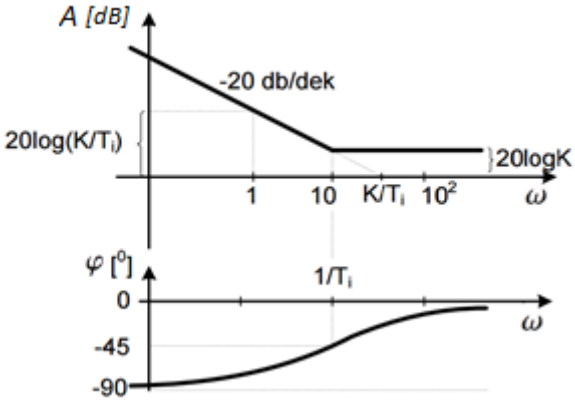
$$u(t) = K_R * e(t), \tag{2-6}$$

gdje K_R predstavlja pojačanje regulatora, *e(t)* regulacijsko odstupanje, tj. signal greške, a K_P pojačanje P dijela regulatora. Svaki proporcionalni regulator se prepoznaje po svojim proporcionalnim područjem koje se definira kao potrebna promjena ulazne veličine da bi se izlazna veličina promijenila za 100% [13]. Proporcionalno područje se definira i kao recipročna vrijednost pojačanja K_R. Povećanjem pojačanja K_R, odnosno smanjenjem proporcionalnog područja se konstantno odstupanje od zadane vrijednosti smanjuje, a u isto vrijeme se povećava brzina reakcije.

Uvođenjem integralnog dijela u regulator povećava se inercija sustava, odnosno sustav sporije reagira na vanjske utjecaje, ali zato trajno uklanja pogrešku u stacionarnom stanju. Na slici 2.3. je prikazano vladanje PI regulatora, a na slici 2.4. je dan bodeov dijagram PI regulatora.



Sl. 2.3. *Vladanje PI regulatora.*

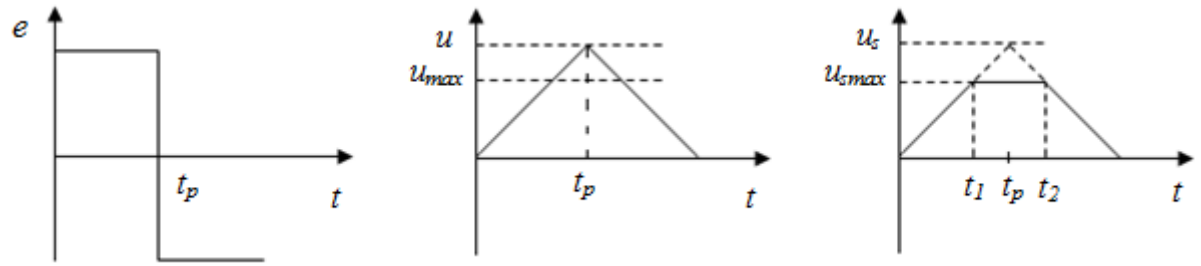


Sl. 2.4. *Bodeov dijagram PI regulatora.*

2.2. Efekt zaleta i načini za njegovo sprječavanje

Da bi projektiranje regulatora bilo zadovoljavajuće obavezno je voditi računa o ograničenjima izvršnog elementa kojem regulator prosljeđuje upravljački signal. Često se takvom signalu treba ograničiti iznos upravljačke veličine odnosno izlaz regulatora *u(t)* i brzina [3] promjene izlazne veličine regulatora. Budući da je izvršni član ušao u zasićenje, izlazno stanje se više ne mijenja u ovisnosti promjenama upravljačke veličine, odnosno stanje zasićenja

izvršnog člana podrazumijeva da izvršni član ostaje u graničnom položaju neovisno o izlaznom signalu regulatora [1]. Svaki regulator koji sadrži integralni član će nastaviti integrirati regulacijsko odstupanje. U tom slučaju izlaz regulatora *u(t)* može poprimiti veliku vrijednost i izvršni element (regulacijski krug) odvesti duboko u zasićenje. Regulacijski krug tada dugo izlazi iz zasićenja, jer je potrebno vrijeme da se izlazna veličina regulatora (njegovog integratora) spusti na vrijednost s kojom izvršni član izlazi iz svog ograničenja (kada izvršni član počinje reagirati na promjene upravljačke veličine pa se povratna veza ponovno uspostavlja) i upravo zbog toga taj efekt se naziva „efektom zaleta“ (engl.wind-up phenomenon, integral wind-up...). U zasićenje može ući bilo koji dio regulacijskog kruga, ali u praksi je to najčešće izvršni član.



Sl. 2.5. *Nastupanje efekta zaleta prilikom zasićenja izvršnog člana.*

Na slici 2.5. opisan je efekt zaleta na primjeru regulacijskog ventila kao izvršnog elementa. Kako na ulazu regulatora regulacijsko odstupanje ima konstantnu vrijednost, vrijednost izlaza regulatora zbog integralnog djelovanja linearno raste. U trenutku t_1 ventil je maksimalno otvoren. Sve do trenutka t_p vrijednost integratora se povećava pa zajedno s time i upravljačka veličina raste do trenutka t_p, kada se mijenja predznak signala *e* (regulacijsko odstupanje). Od trenutka *tp* upravljačka veličina se počinje smanjivati, ali ventil i dalje ostaje u zasićenju s obzirom na to da vrijednost upravljačke veličine veća od vrijednosti kada izvršni član ulazi u zasićenje. Tek nakon trenutka t_2 ventil se počinje zatvarati (počinje reagirati na promjene ulazne veličine) što znači da ja izašao iz zasićenja [1]. U vremenu od t_1 do t_2 nema informacija o upravljanim veličinama reg. kruga, kao kada u regulacijskom krugu postoji član s mrtvim vremenom, što izaziva drastično pogoršanje kakvoće regulacije, a može čak izazvati nestabilnost regulacijskog kruga. Kako bi se bitno umanjile ovakve posljedice potrebno je ograničiti izlaznu veličinu regulatora na vrijednosti pri kojoj izvršni član ulazi u zasićenje. Ovim se izbjegava mrtvo vrijeme dok se izlaz regulatora smanjuje do vrijednosti pri kojoj izvršni član izlazi iz zasićenja.

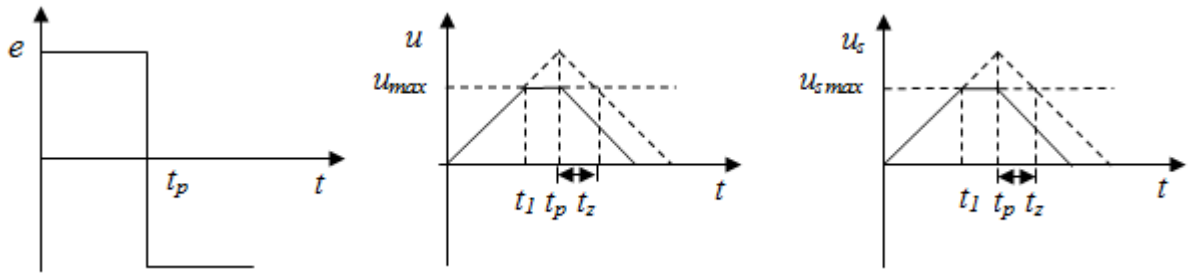
Izlaz izvršnog člana može poprimiti vrijednosti:

$$u_s = \begin{cases} u_{smin}\ ako\ je\ u < u_{zas.min} \\ u_s\ ako\ je\ u_{zas\,min} \le u \le u_{zas.max} \\ u_{smax}\ ako\ je\ u > u_{zas.max} \end{cases} \quad (2\text{-}7)$$

gdje je:

$u_{zas.min}$ i $u_{zas.max}$ – donja i gornja vrijednost upravljačke veličine pri kojima nastupa zasićenje izvršnog člana,
u_{smin} i u_{smax} – minimalna i maksimalna vrijednost na izlazu izvršnog člana.

Pri vrijednosti u_{min} izlazna vrijednost se povećava na u_{smin}.



Sl. 2.6. *Sprječavanje efekta zaleta.*

Slika 2.6. prikazuje veličine regulacijskog kruga u slučaju kada je provedeno sprječavanje rasta izlazne veličine regulatora nakon trenutka ulaženja izvršnog člana u zasićenje. U trenutku t_1 „zamrzava“ se stanje integratora. Nakon što regulacijsko odstupanje promijeni svoju vrijednost u trenutku t_p integrator se počinje prazniti pa izvršni član trenutno izađe iz zasićenja. Vremenski interval t_z ukazuje na skraćenje kašnjenja izlaska izvršnog člana iz zasićenja u odnosu na regulacijski krug gdje nije provedeno „zamrzavanje“ integratora. Ovaj postupak zamrzavanja stanja integratora pri ulasku nekog dijela regulacijskog kruga u zasićenje naziva se sprječavanje efekta zaleta koje se može realizirati na više načina [10].

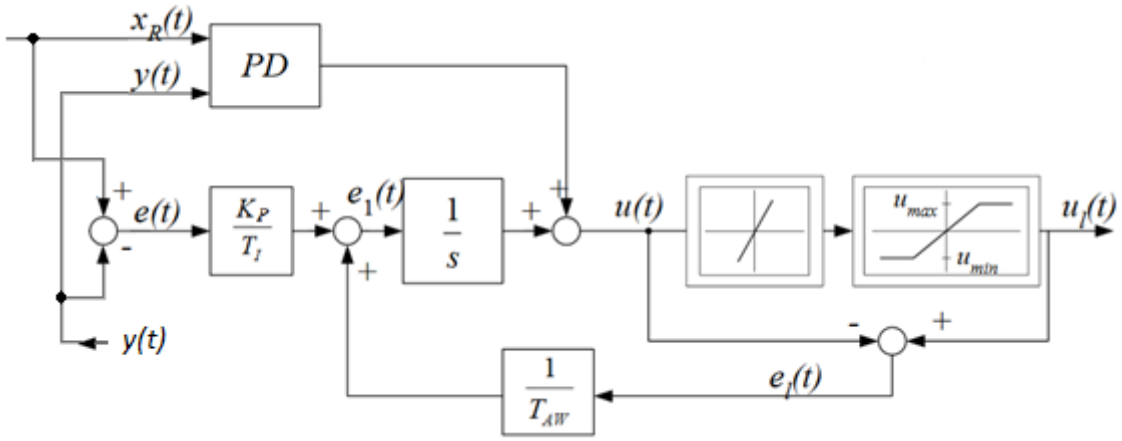
Za sprječavanje efekta zaleta potrebno je ugraditi dodatnu funkciju regulatora. Poznate su nam tri metode za sprječavanje:

1. Postupak povratnog integriranja,
2. Postupak uvjetnog integriranja,
3. Automatsko resetiranje.

U nastavku je kratak opis navedenih metoda i prikazani primjeri koji su uzeti iz raznih izvora.

2.2.1. Povratno integriranje

Kod metode povratnog integriranja (engl. Back Calculation) se javlja dodatno izračunavanje integralnog dijela regulatora kada jedna od veličina u regulacijskom krugu postigne maksimalnu ili minimalnu vrijednost jer nastupa zasićenje izvršnog člana. Ovisno o predznaku regulacijskog odstupanja *e* izlaz integratora se nastoji smanjiti ili povećati. Na slici 2.7. prikazan je primjer regulacijskog kruga s primijenjenom metodom povratnog integriranja.



Sl. 2.7. *Primjer regulacijskog kruga sa primijenjenim postupkom povratnog integriranja.*

Povratni signal $e_l(t)$ se dovodi na dodatni ulaz PID regulatora na integrator s razlikom između upravljačkog signala $u_l(t)$ i izlaznog signala $u(t)$. Ako se upravljački signal $u_l(t)$ nalazi u linearnom području povratni signal je jednak nuli i stoga ne utječe na vladanje regulatora, ali kada je $u(t)$ u ograničenju tada povratni signal $e(t)$ postaje različit od nule pa time djeluje na smanjenje izlaznog signala $u(t)$. S obzirom na to da signali $u_l(t)$ i $e(t)$ imaju isti predznak, izlaz regulatora $u(t)$ će uvijek biti veći od upravljačkog signala $u_l(t)$.
U ograničenju je:

$$e_1 = \frac{1}{T_{AW}} e_l + \frac{K_R}{T_I} e \tag{2-8}$$

Odakle je u stacionarnom stanju ($e_1(t)$=0):

$$u = u_l + \frac{K_R T_{AW}}{T_I} e \tag{2-9}$$

Uvijek je: $|u| > |u_l|$ – regulator ne može preko ograničenja.

Iznos vremenske konstante integracije T_{AW}, označava brzinu vraćanja izlaza regulatora iz zasićenja na graničnu vrijednost. Što je veći iznos ove konstante to je povratna veza djelotvornija. No, međutim postoji opasnost da se pri malim vrijednostima T_{AW} stvore impulsne smetnje što može dovesti do resetiranja regulatora. Da bi se to izbjeglo ova konstanta mora biti veća od vremenske derivacijske konstante regulatora [2]. Astrom i Hagglund (tvorci ove metode) su predložili da parametar T_{AW} iznosi:

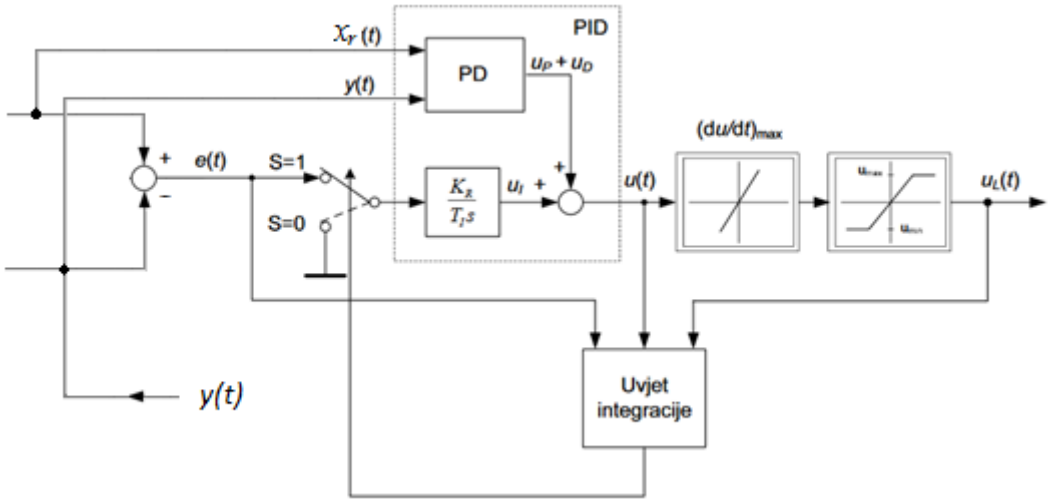
$$T_{AW} = \sqrt{T_i T_d} \tag{2-10}$$

Osim ovog primjera za izbor vrijednosti parametra T_{AW} koristi se i aritmetička sredina [2]:

$$T_{AW} = \frac{T_i + T_d}{2} \tag{2-11}$$

2.2.2. Uvjetno integriranje

Pri metodi uvjetnog integriranja (engl. Conditional Integration) se koristi preklopnik, odnosno sklopka, kako bi se „zamrznuo“ integrator regulatora, ako i samo ako se ispune određeni uvjeti. Preklopnik će ulaz integratora staviti na nulu (S = 0) kada se izvršni član nađe u zasićenju. Primjer takve metode prikazan je na slici 2.8.



Sl. 2.8. *Primjer regulacijskog kruga sa primijenjenim postupkom uvjetnog integriranja.*

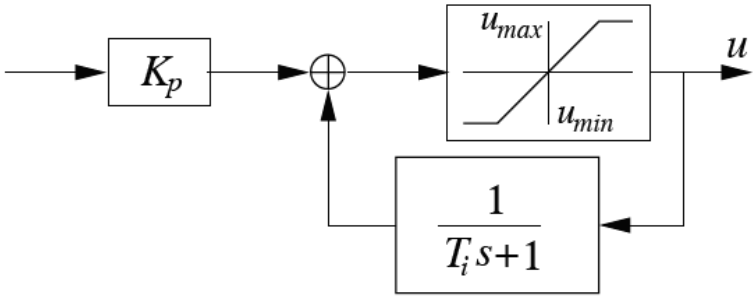
.Regulator će integrirati samo ako su ispunjeni točno određeni uvjeti, odnosno u suprotnom neće. Ako je:

$$(u(t) > u_L \;\&\; e(t) > 0) \text{ ili } (u(t) < u_L \;\&\; e(t) < 0), \tag{2-12}$$

onda će vrijednost S biti jednaka nuli (S = 0), a inače je S = 1.

2.2.3. Automatsko resetiranje

Kod postupka automatskog resetiranja (engl. Automatic reset) realni PI regulator se ne predstavlja u paralelnom obliku kao u dosad opisanim metodama već u serijskom. Primjer takve metode prikazan je na slici 2.9. [4].



Sl. 2.9. *Primjer regulacijskog kruga s primijenjenom metodom automatskog resetiranja.*

Veza između serijskog i paralelnog oblika se može prikazati sa slijedećim izrazima

$$KP = \frac{K_P}{2}\left(1+\sqrt{1-4\frac{T_d}{T_i}}\right), \tag{2-13}$$

$$TI = \frac{T_i}{2}\left(1+\sqrt{1-4\frac{T_d}{T_i}}\right), \tag{2-14}$$

gdje su:

- K_p i T_i parametri paralelnog PI regulatora,
- *KP* i *TI* parametri serijskog PI regulatora koji se koriste kod metode automatskog resetiranja.

Vrijednost T_d odnosno derivacijske konstante je u ovom slučaju 0 s obzirom na to da se koristi PI regulator pa su stoga KP i TI iznosa kao kod regulatora paralelne realizacije. [4]

Metoda automatskog resetiranja koristi pozitivnu povratnu vezu gdje se integralni dio regulatora (koji zapravo predstavlja automatsko resetiranje), uvijek nalazi između postavljenih granica zasićenja, a ako nije dolazi do prividnog prekida iste veze.

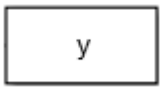
3. IZGRADNJA SIMULACIJSKOG MODELA REGULACIJSKOG KRUGA

Prije puštanja nekog sustava u rad dobro je ispitati vladanje tog sustava računalnom simulacijom. Za prikaz *windup* efekta odabrani su simulacijski modeli s PI regulatorom i dva različita procesa, a za sprječavanje efekta zaleta korištene su tri prethodno navedene metode. Simulacije su izrađene u programskom paketu MATLAB pomoću Simulinka koji je njegov sastavni dio.

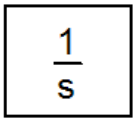
Osnovni simulink blokovi koji su korišteni u izgradnji simulacijskog modela su:



Step – izvor pobudnog signala, oblika odskočne fukncije,



To workspace – spremanje signala u varijablu radnog prostora odakle se generiraju odzivi za pojedine veličine: izlazna (y), upravljačka (z) i integralna (i),



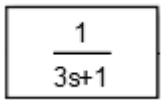
Integrator –obavljanje operacije integracije, odnosno integrira ulazni signal,



Gain – pojačalo, množenje signala s konstantom,



Sum – zbrajalo, služi za zbrajanje ili oduzimanje više signala,



Transfer fcn – prijenosna funkcija, u ovom slučaju služi za definiranje procesa,



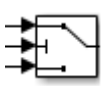
Clock – signal vremena,



Saturation – blok koji obavlja operaciju zasićenja,



Constant – definiranje signala konstantnog iznosa,



Switch – preklopnik, odnosno sklopka, blok koji propušta signal na izlaz prema određenom kriteriju (doveden na prvi ulaz ako vrijednost na drugom ulazu zadovoljava postavljeni kriterij, a u suprotnom propušta na izlaz signal doveden na treći ulaz),



In1 – ulazni port koji se koristi kod podsustava,



Out1 – izlazni port, također se koristi kod podsustava,



Logical operator – blok koji obavlja logičku operaciju: AND, OR,



Relational operator – blok koji provjerava odnos između ulaznih signala i na izlazu daje logičku vrijednost.

3.1. Analiza efekta zaleta u regulacijskom krugu sa PT_2 procesom

Na slici 3.1. se nalazi blok shema PI regulatora sa PT_2 procesom u kojoj nema zasićenja na izvršnom članu pa tako ni primijenjene *antiwindup* metode. Ovaj proces ima proporcionalno vladanje s usporenjem drugog reda odnosno kaže se da ima prigušeno PT_2 dinamičko vladanje i njegova prijenosna fukncija je dana izrazom:

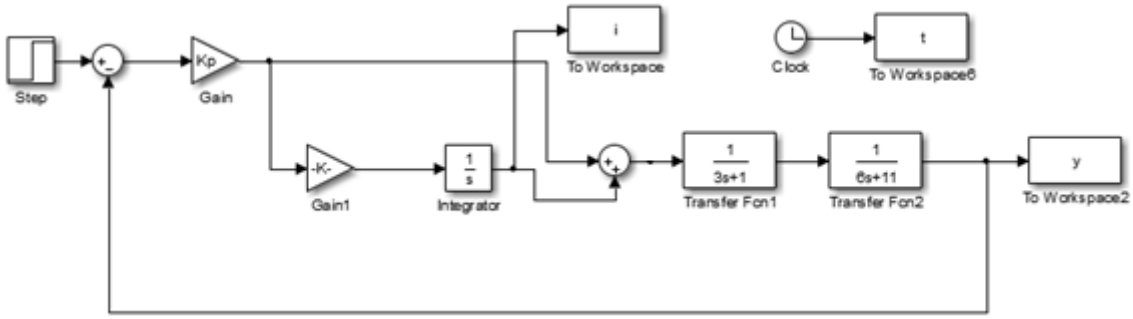
$$G(s) = \frac{K}{(1+T_1 s)(1+T_2 s)}. \qquad (3\text{-}1)$$

Za odabrani proces projektiran je PI regulator prema tehničkom optimumu [1] uz odabrani relativni koeficijent prigušenja $\zeta = \sqrt{2}/2 \approx 0{,}71$.

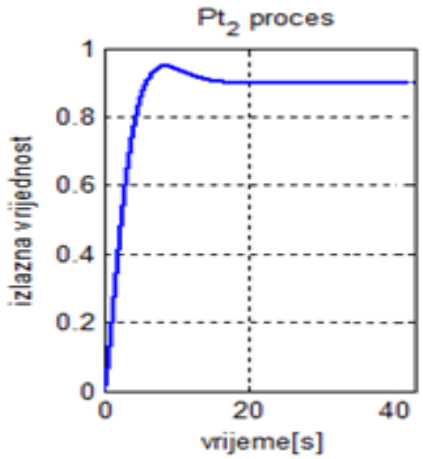
Na slici 3.2. i 3.3. su prikazani odzivi mjerenih veličina u regulacijskom krugu u kojem nema amplitudnog ograničenja odnosno zasićenja izvršnog člana niti se koristi metoda sprječavanja efekta zaleta. Tablica 3.1. prikazuje parametre koji su korišteni u simulacijama regulacijskih krugova sa PT_2 procesom.

Tablica 3.1. *Parametri simulacije vladanja regulacijskog kruga s PT_2 procesom.*

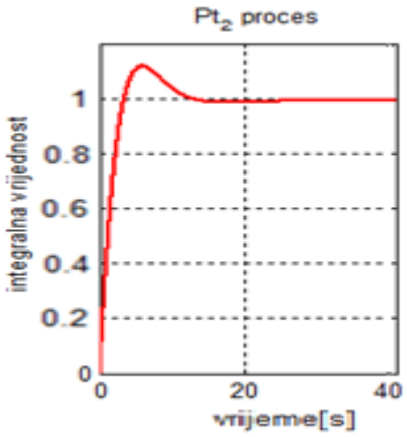
	Parametar	Oznaka	Vrijednosti
Parametri pobude	amplituda početne vrijednosti	Initial value	0
	amplituda konačne vrijednosti	Final value	0.9
	Pobuda	Step time	1
Procesni parametri	donja granica	Umin	9.6
	gornja granica	Umax	10.4
Parametri PI regulatora	proporcionalna konstanta	Kp	10
	integralna konstanta	Ti	2
Antiwindup parametar	povratna konstanta	Taw	1
Parametri serijskog	proporcionalna konstanta	KP	10
PI regulatora (aut.res.)	integralna konstanta	TI	2



Sl. 3.1. *Blok shema s PI regulatorom i PT_2 procesom.*



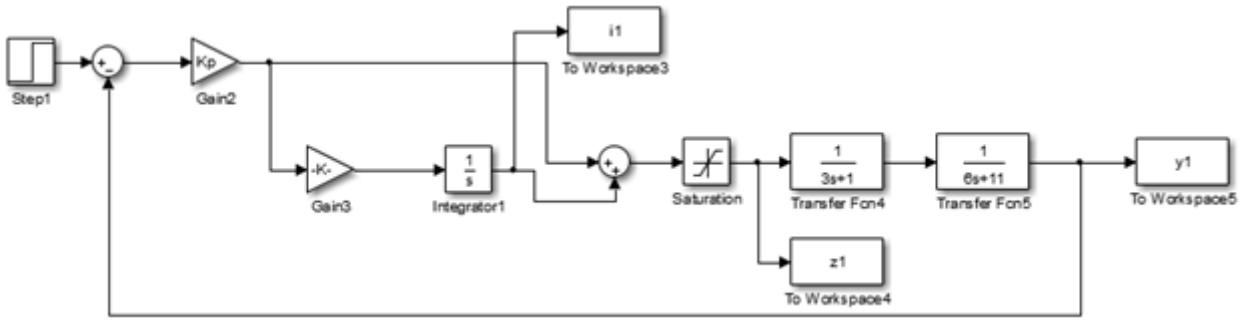
Sl. 3.2. *Odziv izlazne veličine y.*



Sl. 3.3.*Odziv I-grane regulatora.*

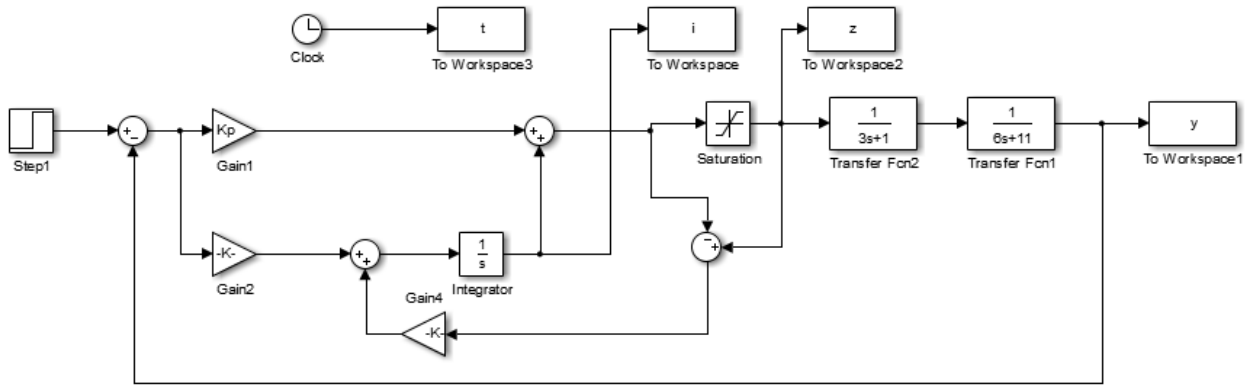
Tablica 3.2. Numerički pokazatelji kakvoće regulacije izl.veličine i I-grane regulatora.

	σ_m [%]	$t_{2\%}[s]$	t_u
Izlazna veličina	6.4	14.3	17
I-dio regulatora	10.3	15.8	18.1



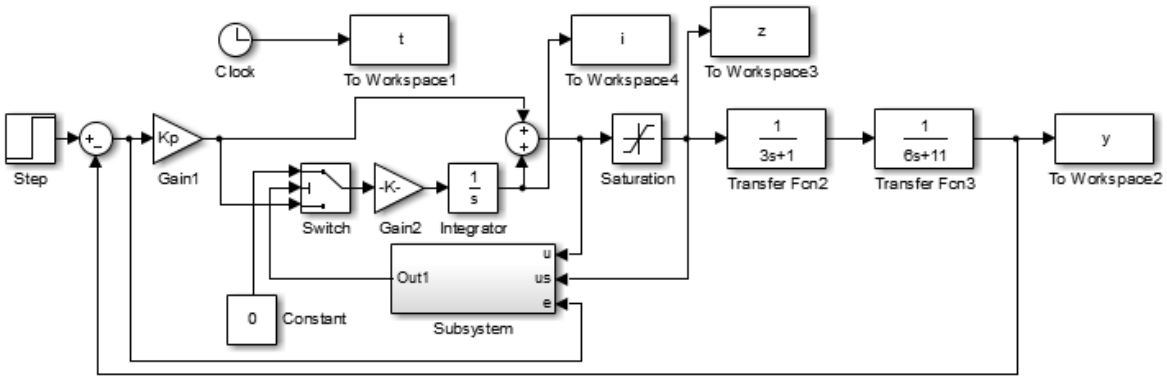
Sl. 3.4. *Blok shema simulacije s postavljenim zasićenjem na izvršnom članu.*

Slika 3.4. prikazuje blok shemu istog regulacijskog kruga kao na slici 3.1., ali je ovdje simulirano zasićenje izvršnog člana da bi „namjerno“ došlo do efekta zaleta, tako da se mogu prikazati odzivi i rezultati te analizirati situacija u regulacijskom krugu. Parametri upisani u pojedine blokove simulacija sa PT_2 procesom nalaze se u prilogu P.1.



Sl. 3.5. *Blok shema regulacijskog kruga metode povratnog integriranja.*

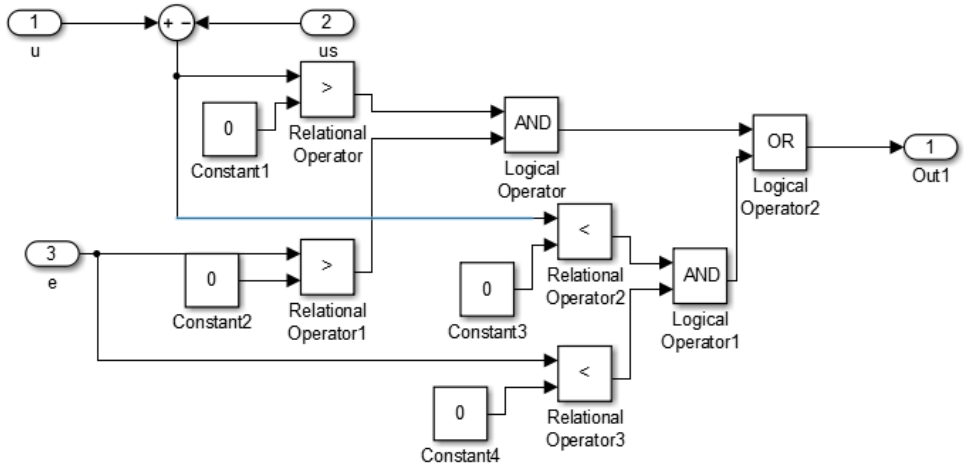
Slika 3.5. Prikazuje simulacijski model u kojem je provedeno sprječavanje efekta zaleta pomoću metode povratnog integriranja u odjeljku 2.2.1. Bitno je napomenuti da integralni član računa s dvije vrijednosti, a to su: regulacijsko odstupanje *e* i razlika između veličina *u* i u_l, što se i vidi na slici 2.7.



Sl. 3.6. *Blok shema regulacijskog kruga s implementiranom metodom uvjetnog integriranja.*

Na slici 3.6. je prikazan simulacijski model u kojem je za sprječavanje efekta zaleta primijenjena metoda uvjetnog integriranja opisana u odjeljku 2.2.1. Ovakav tip metode koristi preklopnik kako bi „zamrznuo“ stanje integratora te na taj način spriječio da izvršni član ode duboko u zasićenje odnosno da nastupi efekt zaleta.

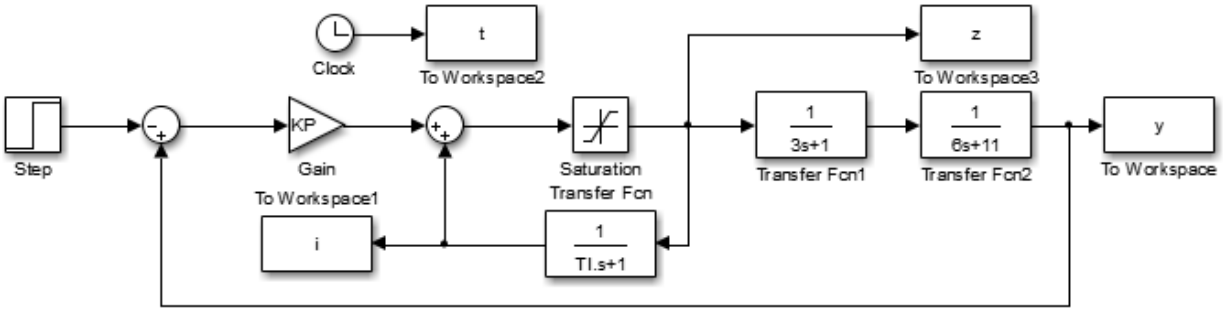
Out1 je ulaz u logičku blok shemu koja predstavlja uvjet integracije kao što je prikazano na slici 3.7.



Sl. 3.7. *Logička blok shema primjenjene metode uvjetnog integriranja.*

Kao što je ranije navedeno, pri projektiranju regulatora se mora voditi računa o ograničenju izvršnog člana kojemu regulator prosljeđuje upravljački signal pa zbog toga trebaju biti ispunjeni uvjeti prema (2-10).

Kada izvršni član uđe u zasićenje, između u i u_s vrijednosti nastaje razlika koja se zajedno sa regulacijskim odstupanjem e uspoređuje sa nulom. Bilo da su obje vrijednosti ili manje ili veće od nule, AND (I) će propustiti umnožak tih vrijednosti. Na kraju logički operator OR (ILI) na izlaz prosljeđuje jedan od ta dva signala ovisno o tome jesu li e ili u_s manje ili veće od nule.



Sl. 3.8. *Blok shema regulacijskog kruga s primijenjenom metodom automatskog resetiranja.*

Slika 3.8. prikazuje manje poznatu metodu automatskog resetiranja za sprječavanje efekta zaleta regulatora. Ova metoda koristi parametre PI regulatora serijske realizacije koji su dani izrazima (2-11) i (2-12).

3.2. Analiza efekta zaleta u regulacijskom krugu sa IT_1 procesom

Za drugi proces na kojem se prikazuje utjecaj efekta zaleta odabran je sustav s integralnim djelovanjem i usporenjem prvog reda odnosno IT_1 sustav s dinamičkim vladanjem. Na slici 3.9. pikazan je simulacijski model s IT_1 procesom gdje je na ulaz regulacijskog kuga dovedena skokovita pobuda. Takav proces opisan je prijenosnom funkcijom:

$$G_{IT1}(s) = \frac{K_S}{T_i S(1+Ts)} \tag{3-2}$$

gdje su odabrani parametri:

$$K_s = 0.5$$
$$T_i = 10s$$
$$T = 2s$$

Uvrštavanjem parametara u (3-1) dobiva se prijenosna funkcija korištenog sustava s IT_1 dinamičkim vladanjem [15]:

$$G_{IT1} = \frac{0.5}{10s(1+2s)} \tag{3-3}$$

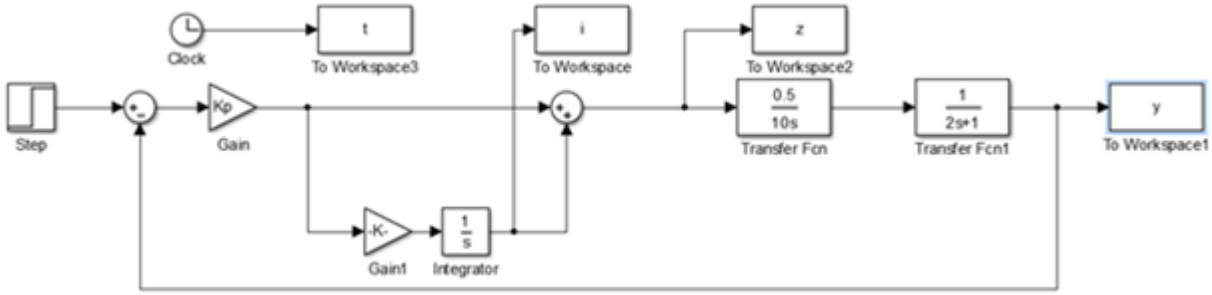
PI regulator za proces s IT_1 vladanjem određen je prema simetričnom optimumu [1] uz traženo fazno osiguranje (γ) od 65 ° [15]. Njegova prijenosna funkcija glasi:

$$G_{PI} = 2.22 \cdot \frac{1+40.69s}{40.69s} \tag{3-4}$$

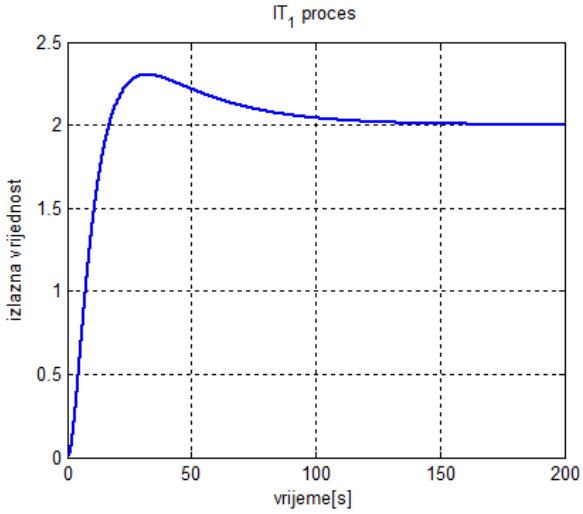
Tablica 3.3. *Parametri simulacije regulacijskog kruga sa IT_1 vladanjem.*

	Parametar	Oznaka	Vrijednosti
Parametri pobude	amplituda početne vrijednosti	Initial value	1
	amplituda konačne vrijednosti	Final value	2
	Pobuda	Step time	1
Parametri PI regulatora	proporcionalna konstanta	Kp	2.22
	integralna konstanta	Ti	40.7
Parametri procesa	donja granica zasićenja	Umin	-0.5
	Gornja granica zasićenja	Umax	0.5
Antiwindup parametar	Povratna konstanta	Taw	20.35
Parametri serijskog PI regulatora (aut.res.)	proporcionalna konstanta	KP	2.22
	integralna konstanta	TI	40.7

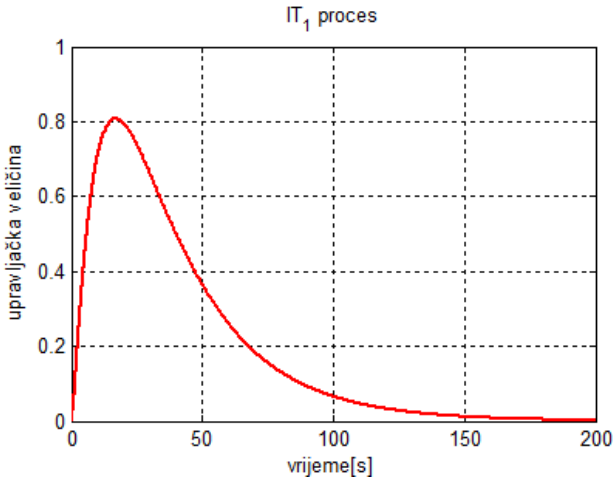
U tablici 3.3. su dani parametri korišteni u simulacijama regulacijskih krugova sa IT_1 procesom.



Sl. 3.9. *Regulacijski krug sa IT_1 procesom.*



Sl. 3.10. *Odziv izlazne veličine y.*

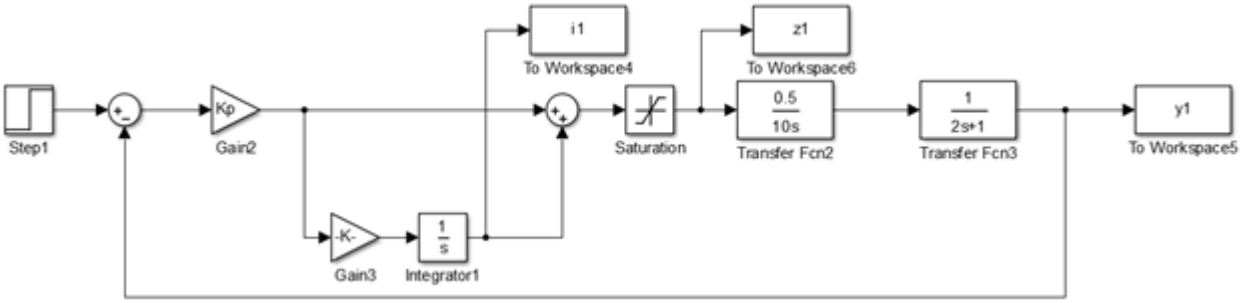


Sl. 3.11. *Odziv I-grane regulatora*

Na slici 3.10. i 3.11. prikazani su odzivi mjerenih veličina prethodnog simulacijskog modela sa IT_1 procesom prikazanog na slici 3.9. regulacijski krug u kojem nema amplitudnog ograničenja odnosno zasićenja izvršnog člana niti se koristi metoda sprječavanja efekta zaleta.

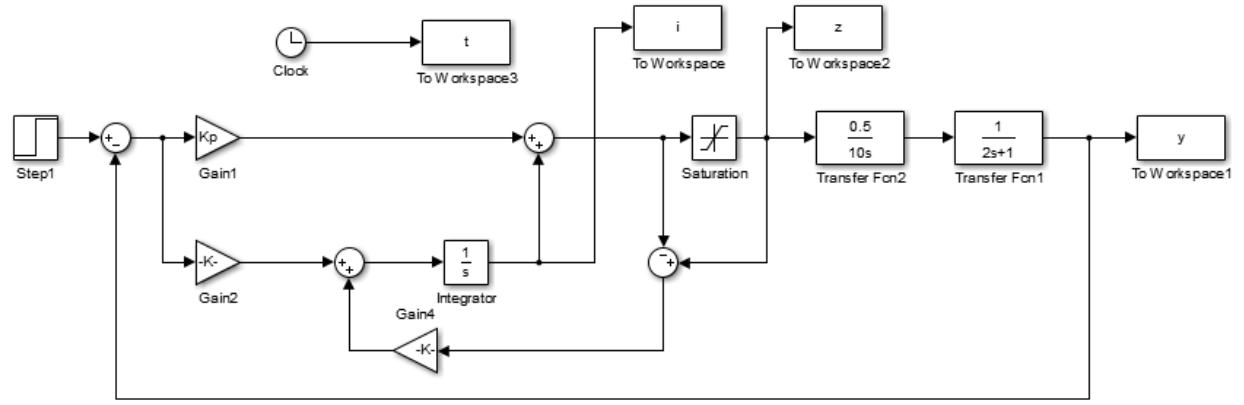
Tablica 3.4. Numerički pokazatelji kakvoće regulacije izl.veličine i I-grane regulatora.

	σ_m [%]	$t_{2\%}[s]$	t_u
Izlazna veličina	21	110.2	175.7
I-dio regulatora	80	167.3	200+



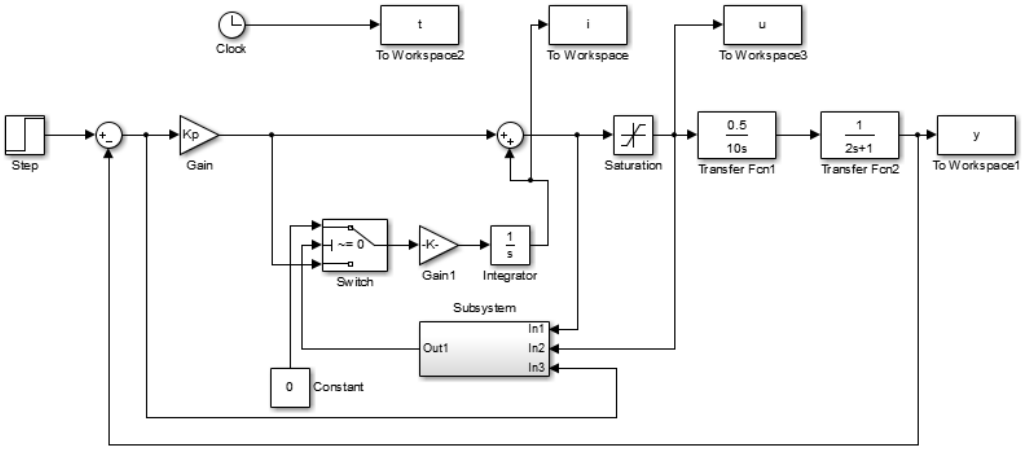
Sl. 3.12. *Blok shema simulacije sa postavljenim zasićenjem na izvršnom članu.*

Blok shema prethodnog modela sa dodanim zasićenjem na izvršnom članu dana je na slici 3.12. Parametri upisani u pojedine blokove simulacija sa IT_1 procesom nalaze se u prilogu P.2.



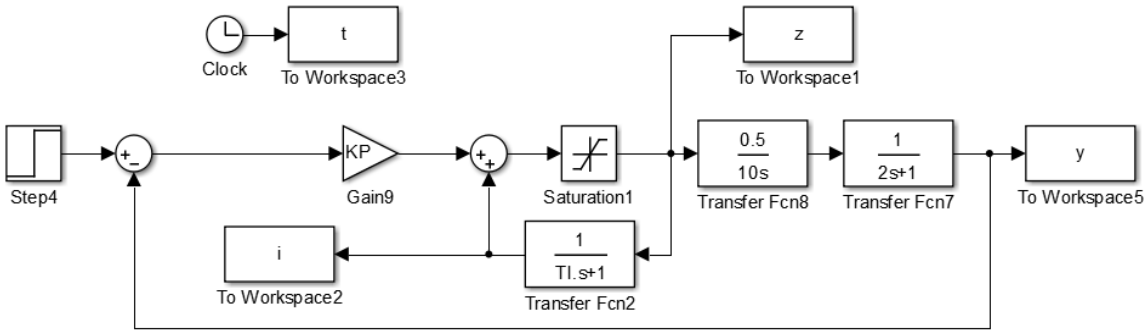
Sl. 3.13. *Metoda povratnog integriranja regulacijskog kruga sa IT_1 procesom.*

Simulacijski model implementirane metode povratnog integriranja na regulacijski krug sa IT_1 vladanjem prikazan je slikom 3.13.



Sl. 3.14. *Metoda uvjetnog integriranja regulacijskog kruga sa IT_1 procesom.*

Metoda uvjetnog integriranja primijenjena na regulacijski krug s IT_1 procesom je prikazana na slici 3.14. Kao i u prethodno opisanom modelu na drugom procesu, Out1 je ulaz u logičku blok shemu koja predstavlja uvjet integracije kao što je prikazano na Slici 3.8.



Sl. 3.15. *Metoda automatskog resetiranja regulacijskog kruga sa IT_1 procesom.*

Slika 3.15. daje prikaz metode automatskog resetiranja primijenjene na regulacijski krug s IT_1 procesom koja je detaljnije opisana u odjeljku 2.2.3.

4. REZULTATI PROVEDENIH SIMULACIJA

Rezultati simulacije vladanja regulacijskih krugova predstavljenih u prethodnom poglavlju dani su kroz odziv veličina regulacijskih krugova gdje se na x-osi nalazi vrijeme [s], a na y-osi mjerena veličina: izlazna, manipulacijska i integralni dio regulatora koje su dobivene odzivom na skokovitu pobudu (*step*) simulacije regulacijskih krugova prikazanih u trećem poglavlju. Pri analizi kakvoće regulacije promatra se vremenski odziv regulirane veličine *y(t),* odnosno regulacijskog odstupanje *e(t),* uz djelovanje odabranog ispitnog signala (pobude) [1]. Rezultati simulacija su temeljeni na numeričkim pokazateljima kakvoće: maksimalno nadvišenje, vrijeme ustaljivanja, ulazno vrijeme i vrijeme prvog maksimuma.

Maksimalno nadvišenje σ_m - pokazatelj maksimalnog odstupanja nakon prvog dostizanja referentne vrijednosti odnosno stacionarnog stanja. Prikazuje se u postotcima [%].

Vrijeme ustaljivanja t_ε – vremenski pokazatelj trajanja prijelaznog procesa nakon kojeg se izlazna veličina nalazi unutar zadanog iznosa Ɛ, u ovom slučaju Ɛ=2% što odgovara vremenu ustaljivanja $t_{2\%}$.

Vrijeme prvog maksimuma t_m = vrijeme pri kojem se pojavljuje maksimalno nadvišenje.

Ulazno vrijeme t_u = trenutak u kojem dolazi do prvog dostizanja referente vrijednosti.

Radi lakšeg razumijevanja rezultata simulacija, legende na grafovima označavaju:

bez.zas. – odziv regulacijskog kruga u kojem ne postoji zasićenje izvršnog člana,

sa zas. – odziv regulacijskog kruga u kojem postoji zasićenje izvršnog člana, ali bez implementirane metode za njegovo sprječavanje,

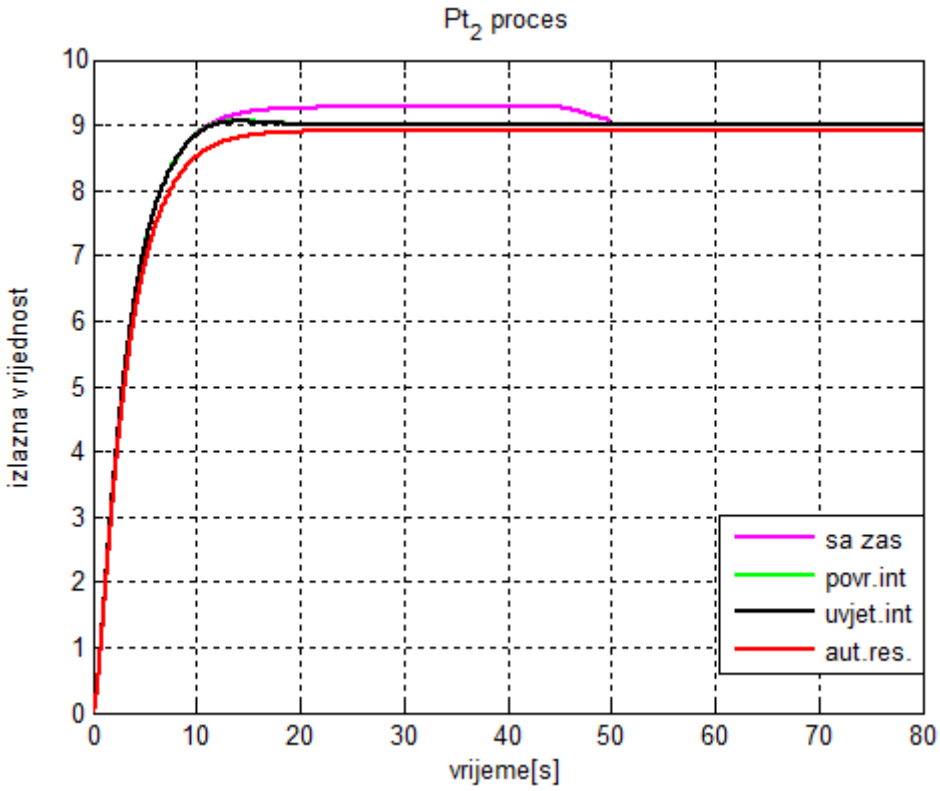
povr.int. – odziv regulacijskog kruga u kojem je primjenjena metoda povratnog integriranja,

uvjet.int. – odziv regulacijskog kruga u kojem je primjenjena metoda uvjetnog integriranja,

aut.res. – odziv regulacijskog kruga u kojem je primjenjena metoda automatskog resetiranja.

4.1. Regulacijski krug s PT_2 procesom

Na temelju provedenih simulacija u simulacijskim modelima regulacijskih krugova predstavljenih u potpoglavlju 3.1. prikazani su odzivi izlazne veličine i odziv I-dijela regulatora.



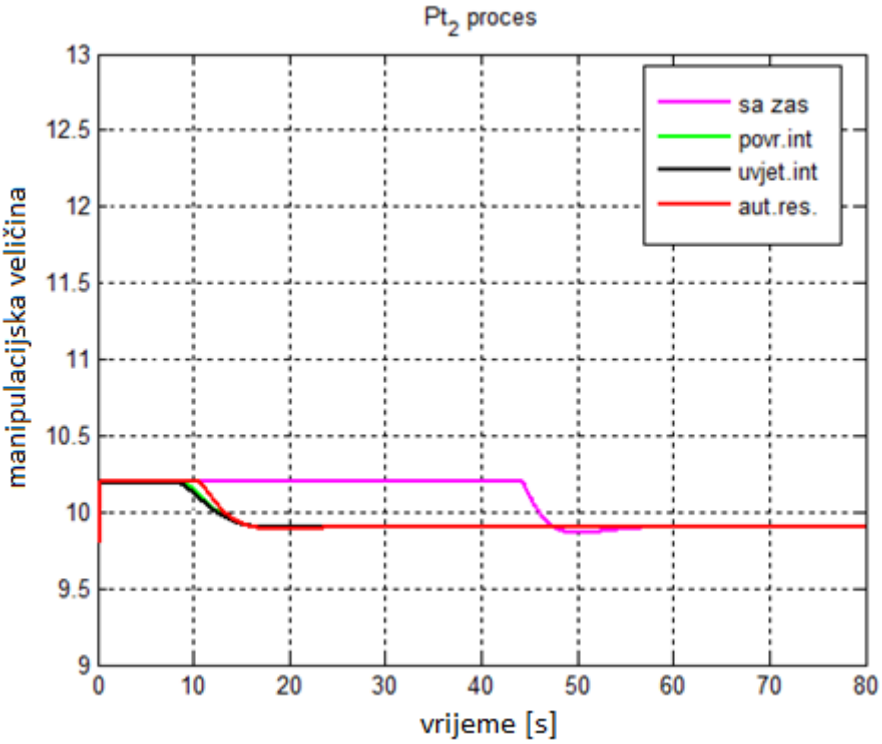
Sl. 4.1. *Odziv izlazne veličine y.*

Slika 4.1. prikazuje odziv izlazne veličine koji je dobiven simulacijom uz parametre iz tablice 3.1. Iz grafa se može vidjeti kako nadvišenje vrlo kasno poprima referentnu vrijednost. U ovom slučaju, nijedna od metoda za sprječavanje efekta zaleta nije toliko značajna s obzirom na kratkotrajna nadvišenja koja su vrlo malog iznosa.

Tablica 4.1. *Numerički pokazatelji kakvoće regulacije.*

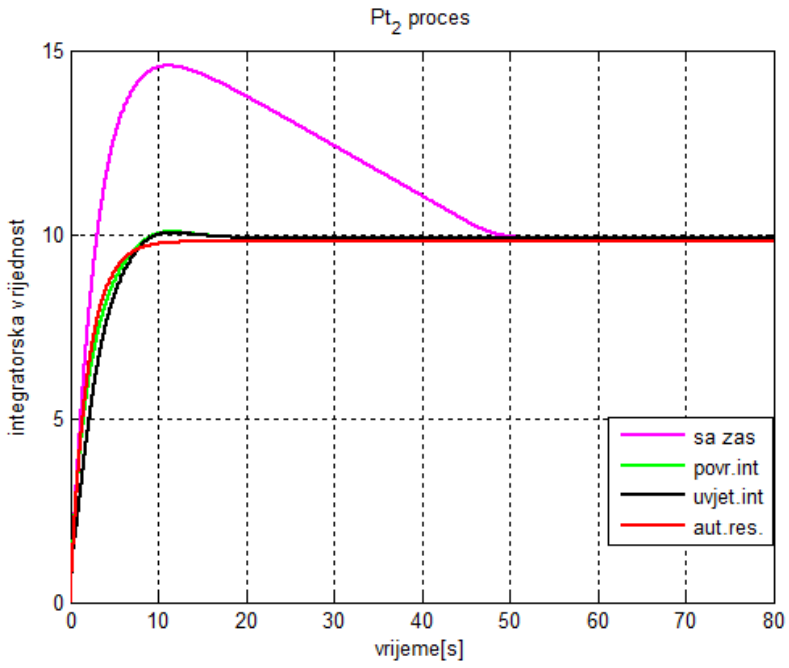
	sa zas.	**povrat.int.**	**uvjet.int.**	**aut.res.**
σ_m [%]	3.03	0.66	0.57	0.1
$t_{2\%}$ [s]	47.45	9.69	9.72	14.43
t_u	61.51	22.65	22.9	22.31
t_m		28.3		

Prema tablici 4.1. sve metode vrlo uspješno smanjuju utjecaj efekta zaleta. U roku od 15 sekundi postižu vrijeme smirivanja iako se ovdje povratno integriranje za nijansu razlikuje od uvjetnog, a ulazno vrijeme je poprilično isto kod svih metoda.



Sl. 4.2. *Odziv izlaza izvršnog člana.*

Slika 4.2. prikazuje odziv izlaza izvršnog člana odnosno manipulacijske veličine u_s. Od navedene tri metode, metoda povratnog integriranja prva dostiže konačnu vrijednost. Zaključuje se da ona veličina koja ostvaruje najmanje nadvišenje, prva izlazi iz zasićenja.



Sl. 4.3. *Odziv integralnog dijela regulatora.*

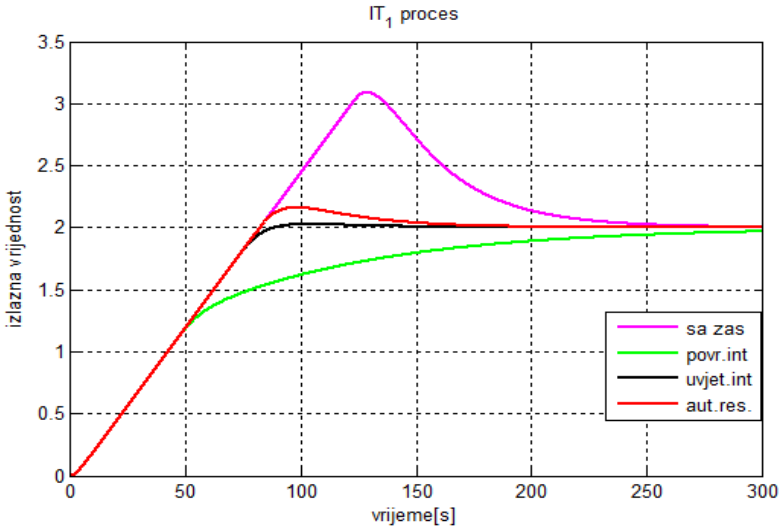
Slika 4.3. najbolje prikazuje pojavu efekta zaleta na izlazu integratora. Na odzivu integratora se najbolje vidi kako za slučaj zasićenja izvršnog člana i bez primjene sprječavanja efekta zaleta njegov izlaz odlazi u veće područje od dopuštenog i uz to još ima i dug period dostizanja konačne (dopuštene) vrijednosti, a to traje oko 50 sekundi. Svaka metoda smanjuje utjecaj efekta zaleta u vremenu od 20 sekundi. Na slici se vidi koliko zapravo ovakav efekt predstavlja problem kod digitalnog vladanje sustava upravljanja [11]. Numerički pokazatelji kakvoće regulacije prikazani su u tablici 4.2.

Tablica 4.2. *Numerički pokazatelji kakvoće regulacije na izlazu I-dijela regulatora.*

	sa zas.	**povrat.int.**	**uvjet.int.**	**aut.res.**
σ_m [%]	45.7	0.6	0.4	0
$t_{2\%}$ [s]	46.3	8.3	8.53	20
t_u	60.3	23.7	20.53	19.5

4.2. Vladanje regulacijskog kruga s IT_1 procesom

Na temelju provedenih simulacija u simulacijskim modelima regulacijskih krugova predstavljenih u potpoglavlju 3.2. prikazani su odzivi izlazne veličine i odziv integralnog dijela regulatora te su u tablici 3.3. dani parametri simulacije vladanja regulacijskog kruga s IT_1 procesom.



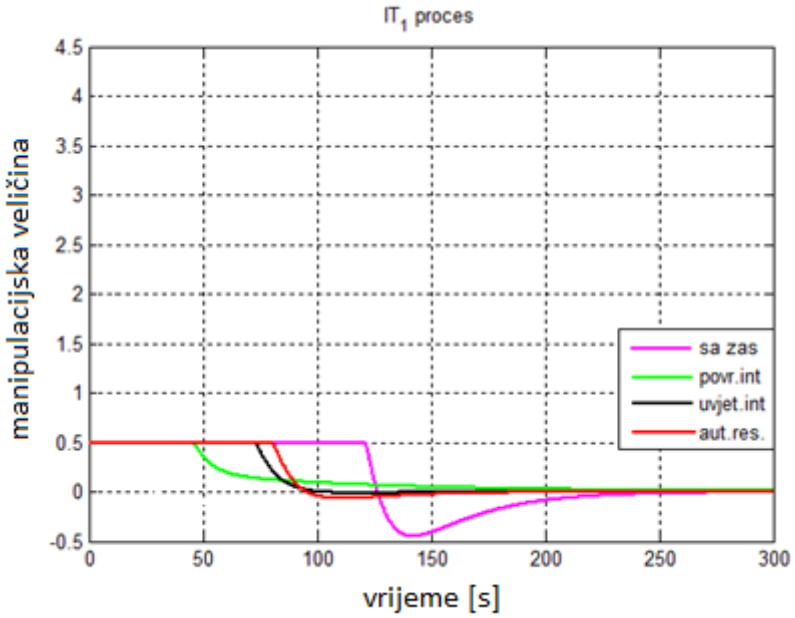
Sl. 4.4. *Odziv izlazne vrijednosti y.*

Slika 4.4. prikazuje odziv vrijednosti y koji su dobiveni korištenjem parametara iz tablice 3.3. Izvršni član odlazi u mnogo veće zasićenje nego kod prethodnog primjera s PT_2 procesom i tek nakon 100 sekundi poprima referentnu vrijednost kao što prikazuje slika 3.10. Povratno integriranje je najlošija metoda za ovaj primjer dok uvjetno integriranje gotovo savršeno rješava problem zaleta u najkraćem mogućem roku.

Tablica 4.3. *Pokazatelji kakvoće regulacije izlazne vrijednosti.*

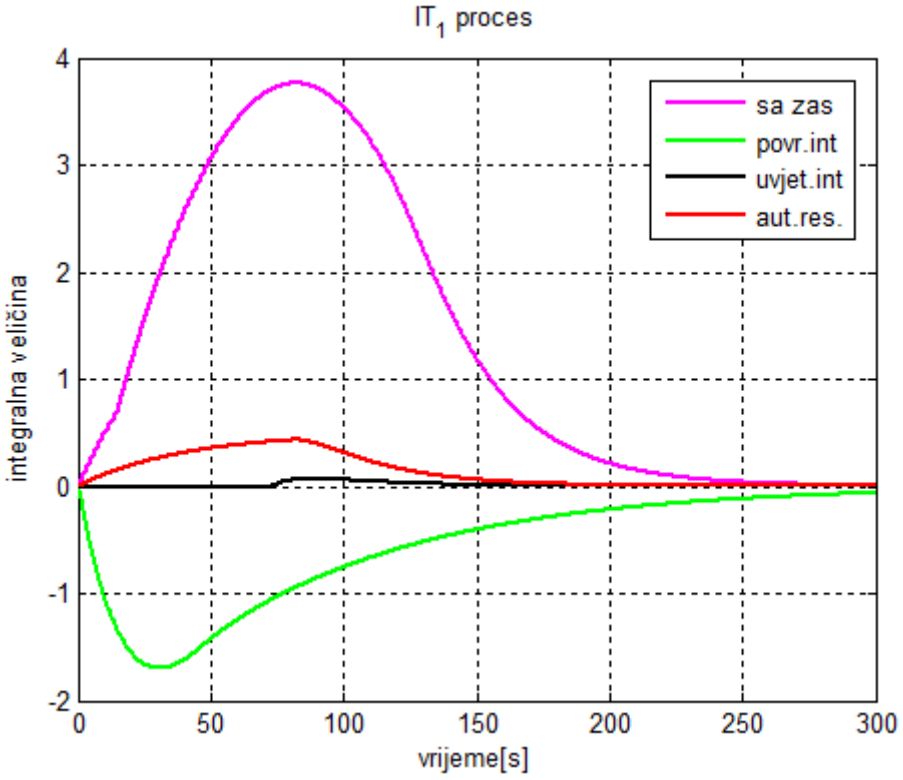
	sa zas.	**povrat.int.**	**uvjet.int.**	**aut.res.**
σ_m [%]	54.55	0	1.35	8
$t_{2\%}$ [s]	235.2	281	83.20	148
t_u	300	+300	170	239
t_m		129		

Povratno integriranje ima prednost zbog razine nadvišenja iako tek nakon više od 300 sekundi poprima referentnu vrijednost kao što prikazuje tablica 4.5.



Sl. 4.5. *Odziv izlaza iz izvršnog člana.*

Slika 4.5. prikazuje odziv izlaza iz izvršnog člana (manipulacijska veličina u_s). Graf prikazuje vrijednosti na izlazu na izvršnom članu kojem su postavljene granice zasićenje *umin= -0.5 i umax= 0.5*. Kao što je vidljivo na grafu, te vrijednosti ne prelaze graničnu vrijednost. U ovom slučaju sve tri metode su u vrlo malim razmacima vratili izvršni član u „normalno stanje“ odnosno poprimile referentnu vrijednost. Ipak, metodi povratnog integriranja treba malo duže vrijeme iako puno ranije počinje sprječavati zasićenje.



Sl. 4.6. *Odziv integralnog dijela regulatora.*

Na slici 4.6. ružičasta krivulja kao i u primjeru sa PT_2 procesom najbolje prikazuje efekt zaleta i kako integralna veličina odlazi u veliko zasićenje te nakon dugog vremena poprima referentnu vrijednost. Metoda uvjetnog integriranja se opet ističe kao najbolja dok je povratno integriranje znatno lošije.

5. ZAKLJUČAK

Efekt zaleta je vrlo nepoželjan efekt u regulacijskim krugovima. Događa se samo u regulacijskim krugovima s regulatorima s I-vladanjem i amplitudnim ograničenjima u nekom dijelu regulacijskog kruga. S obzirom na promjenu referentne veličine kod regulacijskih krugova s povratnom vezom integralna komponenta raste, a rezultat toga je dodatno nadvišenje. Efekt zaleta drastično narušava kakvoću regulacije. Da bi se spriječilo nastupanje efekta zaleta, u praksi se najčešće koriste tri metode: metoda povratnog integriranja, metoda uvjetnog integriranja i malo manje poznata metoda automatskog resetiranja. Zaključuje se da kada član koji se nalazi u zasićenju primjeni neku od metoda za sprječavanje, izlazi puno brže iz zasićenja, stoga se na izlaznoj veličini očituju manja nadvišenja i manje vrijeme ustaljivanja.

Prije nego se u praksi počnu koristiti različiti postupci za sprječavanje efekta zaleta i općenito bilo kakve radnje, dobro je da se vladanje sustava ispita nekom računalnom simulacijom. U ovom slučaju to je učinjeno u programskom paketu Matlab pomoću Simulinka. Simulacijskim modelima odabranih regulacijskih krugova ispitana je efikasnost pojedine metode pri čemu su praćene izlazne, integralne i upravljačke veličine. Odabrani su regulacijski krugovi s PI regulatorom i PT_2 i IT_1 procesima. Rezultati simulacija prikazani su prijelaznim funkcijama važnih veličina te tablično numeričkim pokazateljima kakvoće regulacije.

Nije lako odrediti koja se metoda pokazala najboljom jer su sve vrlo uspješno smanjivale utjecaj efekta zaleta. Rezultati su pokazali da u velikoj mjeri svaka metoda sprječava efekt zaleta. Međutim, ipak se metoda uvjetnog integriranja pokazala boljom i u maloj je prednosti ispred ostalih.

Koja god da se metoda iskoristi u svakom slučaju će efikasno umanjiti odnosno spriječiti efekt zaleta te time poboljšati kakvoću regulacije u sustavima upravljanja.

LITERATURA

1. N. Perić, Automatsko upravljanje-predavanja, FER, Zagreb,2004.

2. P. Hippe, Windup in Control – It's Effects and Their Prevention, Springer, London.

3. D. Slišković, R.Cupec, Automatsko upravljanje, stručni studij - Materijali s predavanja, 2008./2009.

4. Antonio Visioli, Practical PID Control, Springer, London, 2006.

5. E. K. Nyarko, R. Grbić, D. Slišković, R. Cupec, Osonove automatskog upravljanja: Priručnik za laboratorijske vježbe, Osijek: Sveučilište J. J. Strossmayera u Osijeku, ETF, 2011

6. https://www.fer.unizg.hr/_download/repository/AU_predavanje21bez_animacija.pdf. AU_predavanje21, 14.12.2016.

7. http://act.rasip.fer.hr/materijali/17/FSR_Mostar_DSU_5.pdf. FSR_Mostar_DSU_5, 4.1.2017.

8. https://www.automatika.rs/baza-znanja/teorija-upravljanja/osnove pidregulatora.html Osnove PID regulatora, 28.1.2017.

9. http://www.unizg.hr/rektorova/upload_2015/Damir%20Mirkovic%20rektorova.pdf. Damir Mirković-rektorova, 14.1.2017

10. http://www.riteh.uniri.hr/zav_katd_sluz/zae/ort/materijali/vjezbe/ort_vj_PT2s.pdf. Materijali za vježbe, RITEH, 26.1.2017.

11. N. Perić, I. Petrović, Automatizacija postrojenja i procesa - Predavanja, Zagreb: Fakultet elektrotehnike i računarstva, 2002.

12. http://www.unidu.hr/datoteke/majelic/ABP-18.pdf. Unidu-Majelic, 3.2.2017.

13. https://www.fer.unizg.hr/_download/repository/AU_predavanje19bez_animacija.pdf. AU_predavanje19_bez_animacija, 28.11.2017.

14. https://www.fer.unizg.hr/_download/repository/SIMULINK_SKRIPTA.pdf. SIMULINK_SKRIPTA, 7.2.2017

15. Mateja Hržica – Dodatne funkcije za poboljšanje vladanja digitalnih sustava upravljanja, 2016.

SAŽETAK

Glavni zadatak ovog rada bio je prikazati i usporediti kakvoću regulacije u regulacijskim krugovima prilikom nastupanja efekta zaleta kada regulator posjeduje funkciju za sprječavanje. Problem zaleta regulatora (*wind-up effect*) je nepoželjan efekt u regulacijskim krugovima koji se događa kod regulatora koji imaju integralno vladanje, a u regulacijskom krugu postoji amplitudno ograničenje. Kada izvršni član uđe u ograničenje povratna veza se prividno prekida i sustav radi u otvorenoj pelji što izaziva drastično pogoršanje kakvoće regulacije. Kako bi se smanjio utjecaj takvog efekta potrebno je primjeniti metode sprječavanja efekta zaleta. U praksi se najčešće koriste tri metode: povratno integriranje, uvjetno integriranje i automatsko resetiranje. Simulacijom u Matlabu prikazana je efikasnost svake metode na dva tipa regulacijskih krugova s PT_2 i IT_1 procesima, koji se upravljaju s PI regulatorom.

Ključne riječi: regulator, integralno djelovanje, efekt zaleta, zasićenje, izvršni član, sprječavanje efekta zaleta, automatsko resetiranje, uvjetno integriranje, povratno integriranje.

ABSTRACT

WIND-UP PROBLEM AND FUNCTIONS FOR ITS PREVENTION

The main task of this thesis was to show and compare quality in regulation circuits during appereance of windup effect when regulator has function for it's prevention. Wind-up problem of regulator is undesirable effect in regulation circuits which is happening when regulator have integrally conduct and when there is amplitude limitation. When control signal enters the restriction feedback stops and system works in open loop which causes drastic deterioration quality of regulation. To reduce the imapct of that effect it is necessary to apply methods that are developed for that cases. The most commonly used methods in praxis are: back calculation, conditional integration and automatic reset. Simulation models that were made in Matlab shows the efficiency of every methods which are implemented on regulation circuits with PI regulator and PT_2, IT_1 processes and quality of regulation in graphic form and results in numeric indices.

Keywords: regulator, integrated activity, windup effect, saturation, actuator, antiwind-up, automatic reset, conditional integration, back calculation.

ŽIVOTOPIS

Timotej Prohaska rođen je 2. rujna 1993. godine u Virovitici. Osnovnu školu završava 2008. godine u Lipiku te iste godine upisuje Tehničku školu Daruvar, smjer elektrotehničar. Sve četiri godine prolazi sa vrlo dobrim uspjehom i sudjeluje na raznim projektima vezanima uz elektroniku i informatiku kao što su izgradnja cijevnog pojačala i propeller clock. 2012. godine upisuje Elektrotehnički fakultet Osijek, stručni studij, smjer automatika koji namjerava završiti. Bavi se glazbom i sportom te se napredno služi računalom i programskim alatima vezanim općenito uz elektrotehniku, obradu glazbe i slika kao što su: MS Office, Matlab, Python, Adobe Photoshop te Samplitude pro. Dobro se služi engleskim jezikom u govoru i pismu.

PRILOZI

Kopije kodova koji su korišteni u programskom paketu Matlab za simulacije regulacijskih krugova i dobivanje odziva prikazani su u ovom poglavlju.

Prilog P.1

Kod korišten za PT_2 proces:

```
#PROBLEM ZALETA REGULATORA I IZVEDBE FUNKCIJE ZA NJEGOVO SPRJEČAVANJE

#Zavrsni rad – stručni studij


#Timotej Prohaska, A4111

#Elektrotehnicki fakultet Osijek

#Osijek, 2017.


#PT2 proces

#Dobivanje odziva izlazne veličine y

>> clear all;
#Postavljanje parametara regulatora

>> Kp=1;
>> Ti=2;

#Donja i gornja granica zasićenja
>> umax=10.2;
>> umin=9.8;
#Ostali parametri regulacijskog kruga

>> sample_time=0.01;
>> xref=0.9;

#Konstanta povratnog integriranja
>> Taw=Ti/2;

#Parametri regulatora korišteni kod metode automatskog resetiranja
>> KP=Kp/2*(1+sqrt(1-4*(0/Ti)));
>> TI=Ti/2*(1+sqrt(1-4*(0/Ti)));

#Kod za dobivanje odziva izlazne veličine
>> sim('Pt2.mdl')
>> fig1=figure();
>> hold on
>> plot(t,y1,'m','Linewidth',2)
```

```
>> sim('Pt2_povint.mdl')
>> plot(t,y,'g','Linewidth',2)
>> sim('Pt2_uvjetint.mdl')
>> plot(t,y,'k','Linewidth',2)
>> sim('Pt2_auto.mdl')
>> plot(t,y,'r','Linewidth',2)
>> grid on
>> box on
>> legend('sa zas','povr.int','uvjet.int','aut.res.','Location','Best')
>> title('Pt_2 proces')
>> xlabel('vrijeme[s]')
>> ylabel('izlazna vrijednost')
>>set(gcf,'color','w');


#Kod za dobivanje odziva manipulacijske veličine
>> sim('Pt2.mdl')
>> fig2=figure();
>> hold on
>> plot(t,z,'Linewidth',2)
>> plot(t,z1,'m','Linewidth',2)
>> sim('Pt2_povint.mdl')
>> plot(t,z,'g','Linewidth',2)
>> sim('Pt2_uvjetint.mdl')
>> plot(t,z,'k','Linewidth',2)
>>sim('Pt2_auto.mdl')
>>plot(t,z,'r','Linewidth',2)
>> grid on
>> box on
>> title('Pt_2 proces')
>> xlabel('vrijeme[s]')
>> ylabel('upravljačka veličina')
>> legend('sa zas','povr.int','uvjet.int','aut.res.','Location','Best')
>>set(gcf,'color','w');


#Kod za dobivanje odziva integralnog dijela regulatora
>> sim('Pt2.mdl')
>> fig3=figure();
>> hold on
>> plot(t,i1,'m','Linewidth',2)
>> sim('Pt2_povint.mdl')
>> plot(t,i,'g','Linewidth',2)
>> sim('Pt2_uvjetint.mdl')
>> plot(t,i,'k','Linewidth',2)
>> sim('Pt2_auto.mdl')
>> plot(t,i,'r','Linewidth',2)
>> grid on
>> box on
>> title('Pt_2 proces')
>> xlabel('vrijeme[s]')
>> ylabel('integratorska vrijednost')
```

```
>> legend('sa zas','povr.int','uvjet.int','aut.res.','Location','Best')
>>set(gcf,'color','w');
```

Prilog P.2

```
#IT1 proces

#Kod za dobivanje odziva izlazne veličine
>> clear all;
>>Kp=2.22;
>>Ti=40.7;
>>sample_time=0.01;
>>umin=-0.5;
>>umax=0.5;
>>KP=Kp/2*(1+sqrt(1-4*(0/Ti)));
>>TI=Ti/2*(1+sqrt(1-4*(0/Ti)));
>> Taw=Ti/2;
>> sim('IT1.mdl')
>>fig1=figure();
>>hold on
>>plot(t,y1,'m','Linewidth',2)
>> sim('IT1_povint.mdl')
>> plot(t,y,'g','Linewidth',2)
>> sim('IT1_uvjetint.mdl')
>> plot(t,y,'k','Linewidth',2)
>> sim('IT1_auto.mdl')
>> plot(t,y,'r','Linewidth',2)
>> grid on
>> box on
>> legend('sa zas','povr.int','uvjet.int','aut.res.','Location','Best')
>> title('IT_1 proces')
>> xlabel('vrijeme[s]')
>> ylabel('izlazna vrijednost')
>> set(gcf,'color','w');

#Kod za dobivanje odziva manipulacijske veličine
>> sim('IT1.mdl')
>> fig1=figure();
>> hold on
>> plot(t,z1,'m','Linewidth',2)
>> sim('IT1_povint.mdl')
>> plot(t,z,'g','Linewidth',2)
>> sim('IT1_uvjetint.mdl')
>> plot(t,z,'k','Linewidth',2)
>> sim('IT1_auto.mdl')
>> plot(t,z,'r','Linewidth',2)
```

```
>> grid on
>> box on
>> title('IT_1 proces')
>>xlabel('vrijeme[s]')
>> ylabel('upravljačka veličina')
>> legend('sa zas','povr.int','uvjet.int','aut.res.','Location','Best')
>> set(gcf,'color','w');

#Kod za dobivanje odziva integralnog dijela regulatora
>> sim('IT1.mdl')
>> fig1=figure();
>> hold on
>> plot(t,i1,'m','Linewidth',2)
>> sim('IT1_povint.mdl')
>> plot(t,i,'g','Linewidth',2)
>> sim('IT1_uvjetint.mdl')
>> plot(t,i,'k','Linewidth',2)
>> sim('IT1_auto.mdl')
>> plot(t,i,'r','Linewidth',2)
>> grid on
>> box on
>> title('IT_1 proces')
>>xlabel('vrijeme[s]')
>> ylabel('integralna veličina')
>> legend('bez zas.','sa zas','povr.int','uvjet.int','aut.res.','Location','Best')
>> set(gcf,'color','w');
```